

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

014857884 \*\*Image available\*\*

WPI Acc No: 2002-678590/200273

XRPX Acc No: N02-536618

Heat processing method for semiconductor device manufacturing, involves changing projection angle of incident light irradiated on annealed surface

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

| Patent No     | Kind | Date     | Applicat No  | Kind | Date     | Week     |
|---------------|------|----------|--------------|------|----------|----------|
| JP 2002246328 | A    | 20020830 | JP 200138236 | A    | 20010215 | 200273 B |

Priority Applications (No Type Date): JP 200138236 A 20010215

Patent Details:

| Patent No     | Kind | Lan Pg | Main IPC       | Filing Notes |
|---------------|------|--------|----------------|--------------|
| JP 2002246328 | A    |        | 8 H01L-021/265 |              |

Abstract (Basic): JP 2002246328 A

NOVELTY - Light is emitted from flash lamp (115), whose projection angle is changed such that the incident light irradiates an annealing processed substrate (112) by 60 degrees.

DETAILED DESCRIPTION - INDEPENDENT CLAIMS are included for the following:

- (1) Thermal treatment equipment; and
- (2) Semiconductor device manufacturing method.

USE - For formation of impurity diffusion area for MOS transistor e.g. MOSFET, used during manufacturing of semiconductor device e.g. LSI circuit used in computer, communication apparatus.

ADVANTAGE - Impurity diffusion area is formed without temperature non-uniformity.

DESCRIPTION OF DRAWING(S) - The figure shows the outline sectional drawing of the flash annealing device. (Drawing includes non-English language text).

Annealing processed substrate (112)

Flash lamp (115)

pp; 8 DwgNo 1/10

Title Terms: HEAT; PROCESS; METHOD; SEMICONDUCTOR; DEVICE; MANUFACTURE;  
CHANGE; PROJECT; ANGLE; INCIDENT; LIGHT; IRRADIATE; ANNEAL; SURFACE

Derwent Class: U11; U12

International Patent Class (Main): H01L-021/265

International Patent Class (Additional): H01L-021/26; H01L-029/78

File Segment: EPI

BEST AVAILABLE COPY

**HEAT TREATMENT METHOD, HEAT TREATMENT DEVICE AND  
MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

Patent Number: JP2002246328  
Publication date: 2002-08-30  
Inventor(s): IINUMA TOSHIHIKO  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP2002246328  
Application Number: JP20010038236 20010215  
Priority Number(s):  
IPC Classification: H01L21/265; H01L21/26; H01L29/78  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a heat treatment method, a heat treatment device and the manufacturing method of a semiconductor device, with which temperature irregularities by a position on a semiconductor substrate are eliminated, by using a flash annealing device for abruptly raising the temperature of only several  $\mu\text{m}$  of the surface layer of the semiconductor substrate, without generating illuminance irregularities by the presence of a pattern, in a process of forming an impurity diffusion region in a MOS transistor.

**SOLUTION:** In this method for realizing high-temperature heat treatment of and short time equal to or shorter than 1 second to be used for forming an extremely shallow impurity diffusion region necessary for a fine MOSFET element, whose gate length is  $\leq 100\text{ nm}$ , by limiting the direction of a light directed from a flash lamp to a substrate 112 to be annealed, the light whose incident angle is limited to  $\leq 60$  degrees is made incident. By removing the components of the light made incident at a large angle, among the light emitted from the flash lamp to the substrate to be annealed, such as the semiconductor substrate, uniform heat treatment is enabled.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-246328

(P2002-246328A)

(43) 公開日 平成14年8月30日 (2002.8.30)

| (51) Int.Cl. <sup>7</sup> | 識別記号  | F I            | テームコード (参考)       |
|---------------------------|-------|----------------|-------------------|
| H 0 1 L 21/265            | 6 0 2 | H 0 1 L 21/265 | 6 0 2 B 5 F 1 4 0 |
| 21/26                     |       | 21/26          | J                 |
| 29/78                     |       | 29/78          | 3 0 1 S           |

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願2001-38236 (P2001-38236)

(22) 出願日 平成13年2月15日 (2001.2.15)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 飯沼 俊彦

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(74) 代理人 100097629

弁理士 竹村 壽

Fターム (参考) 5F140 AA13 AA21 AB01 AC01 BA01

BF01 BF04 BH14 BK13 BK21

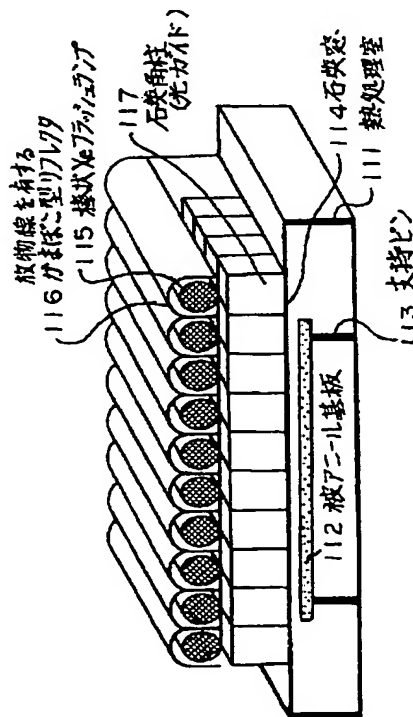
CB04

(54) 【発明の名称】 熱処理方法、熱処理装置及び半導体装置の製造方法

(57) 【要約】

【課題】 MOSトランジスタに不純物拡散領域を形成する工程において、パターンの存在による照度ムラを生じさせずに半導体基板の最表層数 $\mu\text{m}$ のみの温度を急激に上げるフラッシュアニール装置を用いて、半導体基板上の位置による温度ムラのない熱処理方法、装置及び半導体装置の製造方法を提供する。

【解決手段】 ゲート長が100nm以下の微細MOSFET素子に必須な非常に浅い不純物拡散領域形成に用いられる高温且つ1秒以下の短時間の熱処理を実現する方法において、被アニール基板112へのフラッシュランプからの光の方向を制限させることにより入射角を60度以下に制限した光を入射させる。フラッシュランプから半導体基板などの被アニール基板へ照射される光のうち大きな角度で入射する光の成分を除去することで均一な熱処理が可能になる。



## 【特許請求の範囲】

【請求項1】 複数のフラッシュランプからなる光源から光を発生させるステップと、  
前記光源からの光の方向を変えて入射角が60度以下の入射光を被処理基板へ入射させるステップとを備えたことを特徴とする熱処理方法。

【請求項2】 前記光は、1秒未満前記被処理基板に照射することを特徴とする請求項1に記載の熱処理方法。

【請求項3】 複数のフラッシュランプからなる光源と、  
前記光源から発せられる光の方向を変える制御手段とを備え、  
前記制御手段は、前記光源から発せられた光の方向を変えて被処理基板への入射角を60度以下にすることを特徴とする熱処理装置。

【請求項4】 前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間及び前記フラッシュランプの背面に配置された筒状の反射板からなることを特徴とする請求項3に記載の熱処理装置。

【請求項5】 前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間に配置された可視光に対して透明な誘電体角柱からなることを特徴とする請求項3に記載の熱処理装置。

【請求項6】 前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間に配置された可視光に対する反射率が50%以下の材料からなる筒状コーメータからなることを特徴とする請求項3に記載の熱処理装置。

【請求項7】 半導体基板に不純物をイオン注入する工程と、  
請求項3乃至請求項6のいずれかに記載された熱処理装置を用いて前記半導体基板に光を1秒以下照射して前記イオン注入された不純物を活性化させ、この不純物で構成される不純物拡散領域を形成する工程とを備えたことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、熱処理方法及び熱処理装置、この熱処理装置を利用した半導体装置の製造方法に関し、とくにゲート長が100nm以下の微細MOSFET素子に必須の非常に浅い不純物拡散領域を形成する際に必要となる、高温且つ1秒未満の短時間熱処理を実現する熱処理方法、熱処理装置及び不純物を活性化する半導体装置の製造方法に関するものである。

## 【0002】

【従来の技術】 近年、コンピュータや通信機器の重要部分には、多数のトランジスタや抵抗等を電気回路を構成するように結び付けて1チップ上に集積化した大規模集積回路(LSI)が多用されている。このため、機器全体の性能は、半導体装置であるLSI単体の性能と大き

く結び付いている。LSI単体の性能向上は、集積度を高めること、つまり半導体装置を構成する素子の微細化により実現できる。素子の微細化は、例えば、ソース/ドレイン領域などの不純物拡散領域やゲート絶縁膜直下のチャンネル領域などの機能領域を形成する際のイオン注入及びその後の熱処理(アニール)を最適化することにより可能となる。近年の半導体素子の微細化の進行は著しい。とくにMPU等の高速動作を目的としたロジック系MOS型FET素子のゲート長(Lg)は、西暦2000年には120nm、2001年には100nmに達しようとしている(International Technology Roadmap for Semiconductor (ITRS) 1999 Edition 参照)。

【0003】 トランジスタのゲート長が縮小すると、短チャンネル効果と呼ばれる素子特性の劣化を抑止するために不純物拡散領域の深さも浅くすることが求められるようになり、特にゲート電極に端部を接するソース/ドレイン領域のエクステンション領域は、前記ロードマップによれば、ゲート長120nm世代で36~60nm、100nm世代で30~50nmと非常に浅いことが要求される。その上、このソース・ドレイン・エクステンション領域のシート抵抗は、この領域の抵抗によって寄生抵抗が増大し素子特性が劣化しないように、世代と共に低減していくことが求められている(ゲート長120nm世代で350~800Ω/□、100nm世代で310~760Ω/□である)。このように、ソース・ドレイン・エクステンション部分に求められる、浅く、不純物濃度が濃く、且つ不純物の活性化率が高いという要求を満たすために、低加速のイオン注入技術の他に高温且つ極短時間のアニール技術が求められるようになってきている。とくに極短時間のアニールを実現する方法として、タングステンハロゲンランプを熱源とするRTA(Rapid Thermal Annealing)装置よりさらに急峻な昇降温度特性をもつキセノン(Xe)などのガスプラズマによるフラッシュランプを熱源としたフラッシュアニール装置が有効である。

【0004】 図8は、フラッシュアニール装置の概略断面図である。熱処理室11内部には支持ピン13に支持されたシリコン半導体基板などの被アニール基板12が収容されている。熱処理室11の上部は、照射光に対して透明な石英窓14が形成されており、この石英窓14の上方には、発光される光が石英窓14に向かう複数の整列された棒状Xeフラッシュランプ15が配置されている。被アニール基板を予め加熱しておく場合は、熱処理室の下方にハロゲンランプを配置しておく場合もある。以上に説明した装置は、棒状のXeガスフラッシュランプを被アニール基板表面に対して平行に並べて、これらのフラッシュランプを同時に発光させることにより、被アニール基板表層を極短時間だけ高温に加熱する

ことが可能なアニール装置である。

【0005】フラッシュアニール装置で用いるXeガスフラッシュランプの発光特性は、図9に示すような可視光を中心とした分光分布を持ち、発光時間が数ミリ秒から数十ミリ秒と非常に短時間に高密度のエネルギーを照射できる。そのため、照射されたフラッシュランプ光は、被アニール基板の表層数 $\mu\text{m}$ 程度の温度をこの発光時間と同程度の時間で急激に $1000^\circ\text{C}$ 以上に上昇させ、また、発光が終了した後はこの被アニール基板の表層数 $\mu\text{m}$ 程度の温度は、基板深さ方向への熱伝導により急速に低下するため、例えば、到達時間 $1000^\circ\text{C}$ 以上のアニールにおいてさえ、基板表層が $700^\circ\text{C}$ 以上になっている時間を数十ミリ秒以下に抑えることが可能である。例えば、タングステンハロゲンランプを用いたRTA装置で昇温レートを $250^\circ\text{C}/\text{秒}$ 、降温レートが $100^\circ\text{C}/\text{秒}$ を実現したとしても到達温度が $1000^\circ\text{C}$ のアニールでも基板温度が $700^\circ\text{C}$ 以上になっている時間が4秒以上になる。

【0006】

【発明が解決しようとする課題】このような良好な特性を持つフラッシュアニール装置にも問題点がある。すなわち、直径 $200\text{mm}\sim 300\text{nm}$ 程度のシリコン半導体基板（ウエハ）全面に半導体素子を形成する場合には

$$I = I_0 / r_{L1} + I_0 / r_{L2} + I_0 / r_{L3} + \dots + I_0 / r_{Ln} \\ = I_0 \times \sum 1 [D^2 + (X - X_{Lk})^2]^{0.5} \quad (I_0 \text{ は、各フラッシュランプ}$$

中心点での照射強度を示す)

実際にフラッシュランプによって加熱する半導体素子は、半導体基板表面に凹凸が存在している。図3及び図4に示すソース・ドレイン・エクステンション領域は、イオン注入とそれに続く熱処理により形成されるが、この熱処理は、高温であり、且つ極短時間（数 $10\text{ms}$ 以下）のフラッシュランプアニールによるものである。

【0008】これらの図に示すように、MOSFET素子には、例えば、ゲート電極に代表される大きな凹凸が存在している。したがって、従来技術による低角で入射する（即ち、入射角の大きい）フラッシュランプ光は、このゲート電極などの凹凸に遮られて、ゲート電極の近傍のA領域（図3）のように、実際にアニールを行いたいソース・ドレイン・エクステンション領域表面に辿り着かなくなる。このゲート電極近傍のソース・ドレイン・エクステンション領域（A領域）は、極浅く、低抵抗のエクステンション領域が最も強く要求される領域である。とくに、図4のように、ゲート電極が密集した素子の場合にはゲート電極に挟まれた領域に達する光量は、他の領域よりも低下してしまう。例えば、図10に示すランプ間隔 $P$ を $12.5\text{mm}$ 、フラッシュランプと被アニール基板表面との距離 $D$ を $25\text{mm}$ と仮定した場合、図4に示すようなゲート電極間にはさまれた領域（ゲート電極の高さとゲート電極間の距離の比率を $1:1$ と仮定する）に当たるフラッシュ光は、ゲート電極上面の約半

フラッシュ光の強度をシリコンウエハ全面で均一にする必要があることから、図10に示すような棒状のフラッシュランプを同一平面上に並べてアニールを行う。図10は、被アニール基板表面での照射強度を説明するための、図8のXeフラッシュランプアニール装置の概念図である。シリコン半導体基板などの被アニール基板12の上方に距離 $D$ をおいて棒状Xeフラッシュランプが配置されている。このフラッシュランプ15は、複数のフラッシュランプ（ $L1$ 、 $L2$ 、 $L3$ 、 $\dots$ 、 $Lk$ 、 $\dots$ 、 $Ln$ ）から構成されている。複数のフラッシュランプの間隔 $P$ は、同じであり、X軸を横軸にとると、これらランプの位置は、それぞれ $XL1$ 、 $XL2$ 、 $XL3$ 、 $\dots$ 、 $XLk$ 、 $\dots$ 、 $XLn$ で現される。フラッシュランプ15のうち、特定のランプ $XLk$ から被アニール基板上の所定の点（横軸に示す $X0$ の位置）までの距離は、 $rLk$ で表わされる。この $rLk$ は、ランプ $Lk$ から被アニール基板12へ照射される光の光路を示しており、この光は、被アニール基板12の垂直方向と $\theta$ 傾斜してこの位置（ $X0$ ）に入射している。この $\theta$ は、入射角という。

【0007】これらのフラッシュランプ15から任意の被アニール基板上の所定の点（ $X0$ ）照射強度 $I_{X0}$ は、次式で表わされる。

分になってしまう。

【0009】タングステンハロゲンランプを用いた従来型のRTA装置の場合には、同様のランプ配列を行い、この例と同様にゲート電極間に照射される光量が減少したとしても、昇降温度速度が十分に小さいために被アニール基板の厚さ（ $1\text{mm}$ ）程度の範囲の温度が一定に保たれるので、このような温度ムラが発生しないのに対して、被アニール基板の最表層数 $\mu\text{m}$ のみの温度を急激に上げるフラッシュアニール装置においてはこの照度ムラが直接温度ムラに直結してしまうという問題があった。本発明は、このような事情によりなされたものであり、MOSトランジスタの不純物拡散領域を形成する工程において、半導体基板上のパターンの存在による照度ムラを生じさせずに被アニール基板の最表層数 $\mu\text{m}$ のみの温度を急激に上げるフラッシュアニール装置を用いることにより、半導体基板上の位置による温度ムラのない熱処理方法及び装置及びこの熱処理を用いた半導体装置の製造方法を提供する。

【0010】

【課題を解決するための手段】本発明は、ゲート長が $100\text{nm}$ 以下の微細MOSFET素子に必須な非常に浅い不純物拡散領域形成に用いられる高温且つ $1\text{秒}$ 以下の短時間の熱処理を実現する方法において、被アニール基板へのフラッシュランプからの光の方向を制限させるこ

とにより入射角を60度以下に制限した光を入射させることを特徴としている。熱源としてキセノンガス励起を用いたフラッシュランプを使用し、フラッシュランプから被アニール基板へ照射される光のうち大きな角度で入射する光の成分を除去することにより、被アニール基板に入射するフラッシュランプ光の入射角を60度以下に制限することで、例えば、被アニール基板である半導体基板上に凹凸が存在するような半導体素子のアニールにおいて均一な熱処理が可能になる。本発明の熱処理方法は、複数のフラッシュランプからなる光源から光を発生させるステップと、前記光源から入射する光の方向を変えたり入射角度の大きな光を除去することにより入射角が60度以下の入射光を被処理基板へ入射させるステップとを備えたことを特徴としている。前記光は、1秒未満前記被処理基板に照射するようにしても良い。

【0011】本発明の熱処理装置は、複数のフラッシュランプからなる光源と、前記光源から発せられる光の方向を変える、もしくは光の方向を制限する制御手段とを備え、前記制御手段は、前記光源から発せられた光の方向を変えたり入射角の大きな光を除去したりすることにより被処理基板への入射角を60度以下にすることを特徴としている。前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間及び前記フラッシュランプの背面に配置された筒状の反射板からなるようにしても良い。前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間に配置された可視光に対して透明な誘電体角柱からなるようにしても良い。前記制御手段は、前記複数のフラッシュランプの夫々と前記被処理基板との間に配置された可視光に対する反射率が50%以下の材料からなる筒状コリメータからなるようにしても良い。本発明の半導体装置の製造方法は、半導体基板に不純物をイオン注入する工程と、上記のいずれかの熱処理装置を用いて前記半導体基板に光を1秒以下照射して前記イオン注入された不純物を活性化させ、この不純物で構成される不純物拡散領域を形成する工程とを備えたことを特徴としている。

#### 【0012】

【発明の実施の形態】以下、図面を参照して発明の実施の形態を説明する。本発明は、被アニール基板に入射するフラッシュ光の方向を制御することにより、入射角が60度以下の光を入射させて被アニール基板表面に凹凸が存在しても加熱ムラが生じないようにする。まず、図1乃至図4を参照して第1の実施例を説明する。図1は、フラッシュアニール装置の概略断面図、図2は、図1のフラッシュアニール装置を上から見た平面図、図3及び図4は、本発明及び従来例の高温、極短時間アニールによって非常に浅い不純物拡散領域形成が強く求められるp型MOSFET素子のソース・ドレイン・エクステンション領域形成時の素子構造の概略断面図である。熱処理室111の内部には支持ピン113に、支持され

た、例えば、シリコン半導体基板（シリコンウェハ）からなる、被アニール基板112が収容されている。熱処理室111の上部は、照射光に対して透明な石英窓114が形成されており、この石英窓114の上方には、発光される光が石英窓114に向かうように整列された複数の棒状Xeフラッシュランプ115が配置されている。熱処理工程において、被アニール基板を予め加熱しておく方法を採用する場合には、熱処理室の下方に基板の予備加熱に用いるハロゲンランプを配置しておくこともできる。

【0013】この実施例では、複数の棒状フラッシュランプ115をそれぞれ下方を除いて囲むように、図の奥行き方向に長い放射面を有するかまぼこ型のリフレクタ116を配置する。また、複数の棒状フラッシュランプ115の下方から石英窓114の間にはほぼ長方形の石英角柱117が光ガイドとして配置されている。石英角柱117は各棒状フラッシュランプ115の直下に置く必要があるので図2に示すように縦横に密接して配列される。即ち、任意の棒状フラッシュランプ115は、1列に配列されている石英角柱117の列のほぼ中央に対向するように配置されている。このように、この実施例では、入射角が60度以下のフラッシュランプ光が多く入射するので被アニール基板表面に凹凸が存在しても加熱ムラが生じないようにすることができる。以上に説明した装置は、棒状のXeガスフラッシュランプ115をシリコン半導体基板などの被アニール基板112表面に対して平行に並べて、これらのフラッシュランプ115を同時に発光させることにより、被アニール基板112の表層を極短時間（数10ms以下）高温に加熱することが可能なアニール装置である。

【0014】このアニール装置を用いた図3及び図4に示すp型MOSFET素子の製造工程のうちの拡散領域形成処理を説明する。図3は、素子領域内に1つのMOSトランジスタが形成された場合である。シリコンなどの半導体基板101の表面領域にはシリコン酸化膜などが埋め込まれたSTI(Shallow Trench Isolation)などの素子分離領域102が形成されている。この素子分離領域102に囲まれた素子領域にはn型ウエル領域103が形成され、MOSトランジスタは、この中に形成されている。n型ウエル領域103内において、基板表面に1対のp型ソース・ドレイン・エクステンション領域106が形成されている。この領域は、イオン注入法とそれに続く熱拡散処理により形成される。この1対のp型ソース・ドレイン・エクステンション領域106間の上にシリコン酸化膜などのゲート絶縁膜104を介して、例えば、多結晶シリコンなどのゲート電極105が形成されている。図4は、半導体基板101に形成された素子領域内のn型ウエル領域103に複数のゲート電極105（図では2個）が形成されている。このソース・ドレイン・エクステンション領域は、イオン注入とそ

れに続く熱処理により形成されるが、この熱処理は、高温、且つ極短時間（数10ms以下）のフラッシュランプアニールによるものである。

【0015】この実施例では、棒状のフラッシュランプを囲むように、放射面を有するかまぼこ型のリフレクタを配置するので、図1に示す図面の左右方向への低角のフラッシュ光の入射を制限することができる。また、ランプ直下に石英等の可視光に対して透明度が高く真空（大気）よりも屈折率の高い材料の角柱を配置するので、被アニール基板に入射するフラッシュランプ光の入射角度を制限し、入射角（入射光と入射面の法線とのなす角度）が60度以下の垂直に近い成分のみを被アニール基板に当てることが可能になる。その結果、図3に示されるように、本発明のフラッシュランプ光は、このゲート電極などの凹凸に遮られずに、ゲート電極の近傍のA領域のように、実際にアニールを行いたいソース・ドレイン・エクステンション領域表面に辿り着くことができる。このゲート電極近傍のソース・ドレイン・エクステンション領域（A領域）は、極浅く、低抵抗のエクステンション領域が最も強く要求される領域である。この実施例によれば、入射角が60度以下のフラッシュランプ光が多く入射するのでシリコンウェハ表面に凹凸が存在しても加熱ムラが生じないようにすることができる。

【0016】次に、図5及び図6を参照して第2の実施例を説明する。図5は、フラッシュアニール装置の概略断面図、図6は、図5のフラッシュアニール装置を上から見た平面図である。熱処理室211の内部には支持ピン213に支持された、例えば、シリコン半導体基板（シリコンウェハ）からなる、被アニール基板212が収容されている。熱処理室211の上部は、照射光に対して透明な石英窓214が形成されており、この石英窓214の上方には、発光される光が石英窓214に向かって整列された複数の棒状Xeフラッシュランプ215が配置されている。熱処理工程において、被アニール基板を予め加熱しておく方法を採用する場合には、熱処理室の下方に基板の予備加熱に用いるハロゲンランプを配置しておくこともできる。

【0017】この実施例では、複数の棒状フラッシュランプ215を下方を除いて囲むように、図の奥行き方向に長い箱型のリフレクタ216を配置する。また、複数の棒状フラッシュランプ215の下方から石英窓214の間には複数のほぼ長方形の光吸収板（コリメータ）217がほぼ等間隔に縦横に立った状態で配置されている。したがって、縦横に立った状態で配置された光吸収板217によって四面が囲まれた空洞の四角柱が形成されている。光吸収板217によって形成された上記四角柱は、各棒状フラッシュランプ215の直下に置く必要があるので図6に示すように縦横に密接して配列される構成になっている。即ち、任意の棒状フラッシュランプ215は、1列に配列されている四角柱の列のほぼ中央

に対向するように配置されている。このような構成にすることにより、この実施例では、入射角が60度以下のフラッシュランプ光が多く入射するので被アニール基板表面に凹凸が存在しても加熱ムラが生じないようにすることができる。

【0018】以上に説明した装置は、棒状のXeガスフラッシュランプ215をシリコンウェハなどの被アニール基板212の表面に対して平行に並べて、これらのフラッシュランプ215を同時に発光させることにより、被アニール基板212の表層を極短時間（数10ms以下）高温に加熱することが可能なアニール装置であり、このフラッシュアニール装置を用いて図3及び図4に示すp型MOSFET素子の製造工程のうちの拡散領域形成処理を実施することができる。この実施例においては、フラッシュランプ直下に図1における石英角柱に代えて、フラッシュ光に対して反射率の低い（即ち、吸収率の高い）光吸収板で形成した升目状に構成されたコリメータを配置することにより、フラッシュランプから放射された光のうち、被アニール基板に大きな角度で入射しようとする光をコリメータに吸収させることができ、被アニール基板表面に凹凸が存在しても加熱ムラが生じないようにできる。第1及び第2の実施例のいずれにおいても、棒状フラッシュランプの長手方向に対しても、石英角柱やコリメータによる分割が行われ、大きな角度で被アニール基板に入射することがないようになっている。

【0019】特に第2の実施例においては、フラッシュランプから発せられた光のうち被アニール基板に到達する光の割合が低いため、エネルギー効率という点では第1の実施例に劣るものの構造が単純であるため、穴のピッチや長さの異なるコリメータを多数用意し、アニールする基板構造に合わせて選択すると言った使用法を用いることも容易である。次に、図7を参照して第3の実施例を説明する。図7は、フラッシュアニール装置の概略断面図である。熱処理工程において、被アニール基板を予め加熱しておく方法を採用する場合には、熱処理室の下方に基板の予備加熱に用いるハロゲンランプを配置しておくこともできる。この実施例は、このような予備加熱ランプを備えたフラッシュアニール装置を説明する。熱処理室311の内部には支持ピン313に支持された、例えば、シリコン半導体基板からなる被アニール基板312が収容されている。熱処理室311の上部は、照射光に対して透明な石英窓314が形成されており、この石英窓314の上方には、発光される光が石英窓314に向かって整列された複数の棒状Xeフラッシュランプ315が配置されている。

【0020】この実施例では、複数の棒状フラッシュランプ315をそれぞれ下方を除いて囲むように、図の奥行き方向に長い放射面を有するかまぼこ型のリフレクタ316を配置する。また複数の棒状フラッシュランプ3

15の下方から石英窓314の間にはほぼ長形状の石英角柱317が光ガイドとして配置されている。石英角柱317は各棒状フラッシュランプ315の直下に置く必要があるため縦横に密接して配列される。即ち、任意の棒状フラッシュランプ315は、1列に配列されている石英角柱317の列のほぼ中央に対向するように配置されている。このように、この実施例では、入射角が60度以下のフラッシュランプ光が多く入射するので被アニール基板表面に凹凸が存在しても加熱ムラが生じないようにすることができる。以上に説明したフラッシュアニール装置は、棒状のXeガスフラッシュランプ315をシリコン半導体基板などの被アニール基板312表面に対して平行に並べて、これらのフラッシュランプ315を同時に発光させて、被アニール基板312の表層を極短時間（数10ms以下）高温に加熱するアニール装置であり、この装置を用いた図3及び図4に示すp型MOSFET素子の製造工程のうちの拡散領域形成処理を説明する。

【0021】この被アニール基板312をフラッシュアニール装置に入れ、イオン注入された不純物の熱拡散を行う。この工程は、まず、被アニール基板312を予備加熱するために下からのタングステンハロゲンランプ318に電力を投入し、1秒間に50℃の速度で昇温し、500℃まで加熱した。その後タングステンハロゲンランプ318によって被アニール基板312の温度を500℃に保った状態でフラッシュランプ315を一回だけ極短時間点灯し、その直後にタングステンハロゲンランプ318を消灯した。その際に使用したフラッシュランプ315の点灯時間は、半値幅で1.5msecであり、照射エネルギー密度は、 $30\text{ J/cm}^2$ である。このようにしてアニールした被アニール基板の不純物拡散層を調べた結果、通常のタングステンハロゲンランプのみを用いたPTA装置によってアニールした場合よりも、抵抗が低く、且つ広がりが小さい拡散層が得られ、また、基板表面の凹凸による不純物活性化率の低下（抵抗の上昇）も見られずに、均一性の高い活性化が行われた。

【0022】

【発明の効果】以上、本発明によれば、ゲート長が100nm以下の微細なMOSFET素子において使用可能な、接合深さが非常に浅く、且つ低抵抗なソース・ドレ

イン・エクステンション領域をパターン形状によらずに均一に形成することが可能となる。

【図面の簡単な説明】

【図1】本発明のフラッシュアニール装置の概略断面図。

【図2】図1のフラッシュアニール装置を上から見た平面図。

【図3】本発明及び従来例の高温、極短時間アニールによって非常に浅い不純物拡散領域形成が強く求められるp型MOSFET素子のソース・ドレイン・エクステンション領域形成時の素子構造の概略断面図。

【図4】本発明及び従来例の高温、極短時間アニールによって非常に浅い不純物拡散領域形成が強く求められるp型MOSFET素子のソース・ドレイン・エクステンション領域形成時の素子構造の概略断面図。

【図5】本発明のフラッシュアニール装置の概略断面図。

【図6】図5のフラッシュアニール装置を上から見た平面図。

【図7】本発明のフラッシュアニール装置の概略断面図。

【図8】従来のフラッシュアニール装置の概略断面図。

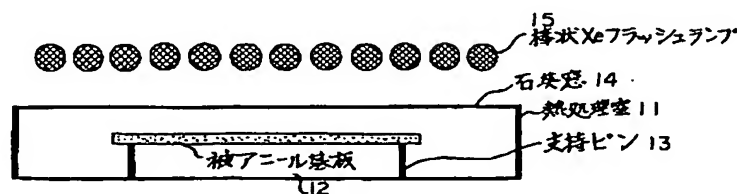
【図9】Xeフラッシュランプの特徴を説明するためのXeフラッシュランプの分光特性図。

【図10】被アニール基板表面での照射強度を説明するための図8のXeフラッシュランプアニール装置の概念図。

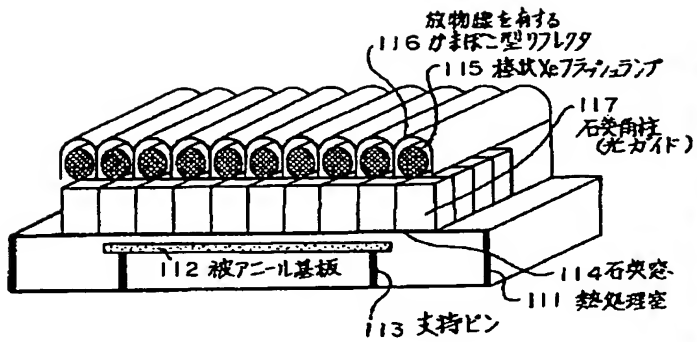
【符号の説明】

11、111、211、311・・・熱処理室、  
12、112、212、312・・・被アニール基板、  
13、113、213、313・・・支持ピン、  
14、114、214、314・・・石英窓、  
15、115、215、315・・・フラッシュランプ、  
101・・・シリコン半導体基板、102・・・素子分離領域、  
103・・・n型ウエル領域、104・・・ゲート絶縁膜、  
105・・・ゲート電極、  
106・・・ソース・ドレイン・エクステンション領域。

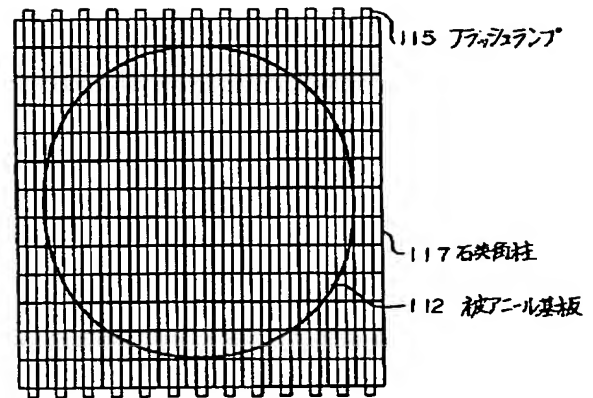
【図8】



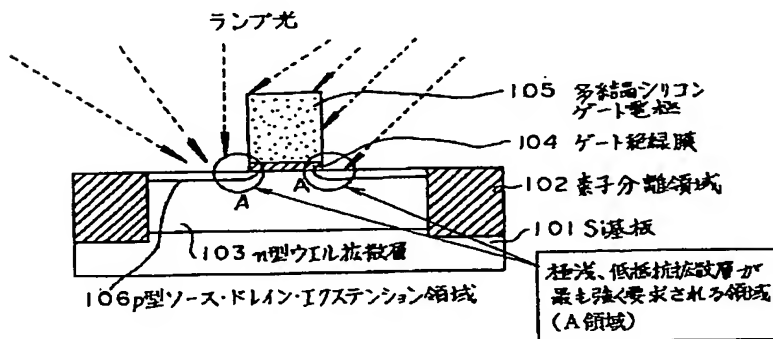
【図1】



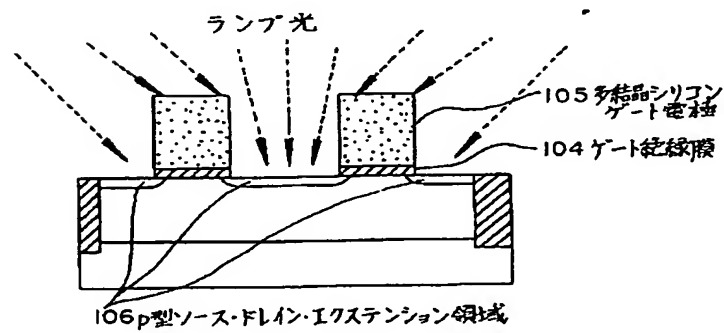
【図2】



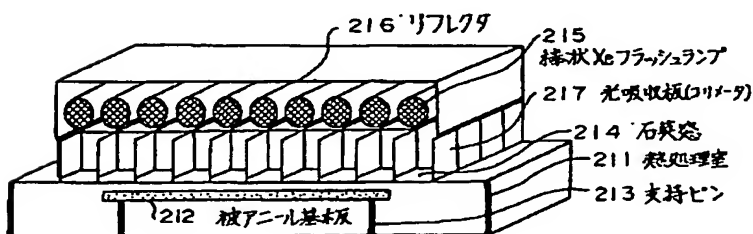
【図3】



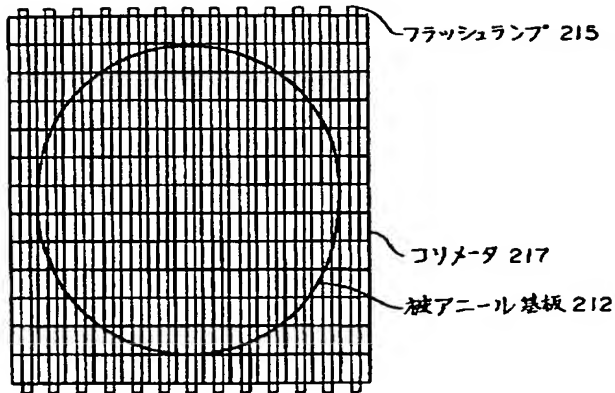
【図4】



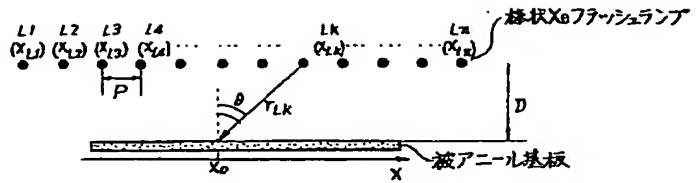
【図5】



【図6】



【図10】



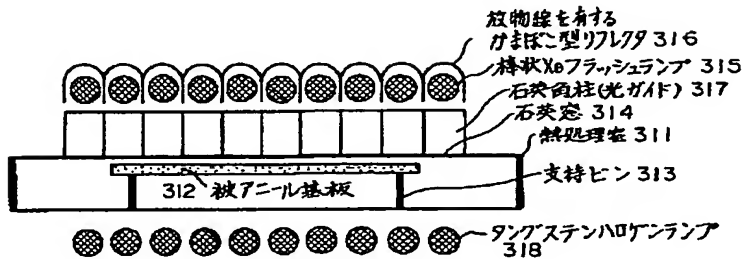
任意のSi基板上の点( $x_0$ )での照射強度: $I_{x_0}$

$$I_{x_0} = I_0/r_{L1} + I_0/r_{L2} + I_0/r_{L3} + \dots + I_0/r_{Ln}$$

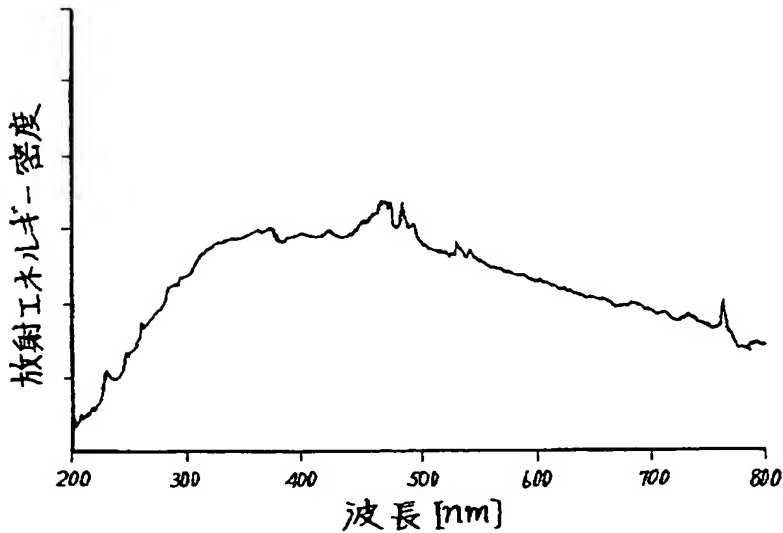
$$= I_0 \times \sum 1/[D^2 + (x - x_{Lk})^2]^{0.5}$$

[ $I_0$ :フラッシュランプ中心点での照射強度]

【図7】



【図9】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**